

L1 ANSWER 1 OF 1 JAPIO COPYRIGHT 1998 JPO and Japio  
AN 88-300526 JAPIO  
TI MANUFACTURE OF SEMICONDUCTOR DEVICE  
IN KAYAMA SHIGEKI  
PA SONY CORP, JP (CO 000218)  
PI JP 63300526 A 19881207 Showa  
AI JP 87-136822 (JP62136822 Showa) 19870529  
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E,  
Sect. No. 737, Vol. 13, No. 136, P. 123 (19890405)  
IC ICM (4) H01L021-76  
ICS (4) H01L021-94  
CC 42.2 ELECTRON - Solid state component  
CT R129 ELECTRONIC MATERIAL - Super LSI (GSI)  
AB PURPOSE: To eliminate the etching of a substrate and to prevent the characteristics of a semiconductor device from being deteriorated by relatively increasing the etching selection ratio of a second semiconductor oxide film to a first anti-oxide film to form a semiconductor layer between a first semiconductor oxide film and the first anti-oxide film on the substrate.  
CONSTITUTION: A thin first semiconductor oxide film 2, a semiconductor layer 3, a first anti-oxide film 4 and a second semiconductor oxide film 5 are sequentially formed on a silicon substrate 1. A resist 12 is selectively formed thereon, the films 5, 4 are selectively etched by RIE in such a manner that the film 4 is effectively removed slightly by overetching. With the film 5 as a mask P-type impurity is ion implanted through the layer 3 and the film 2 into the substrate 1. Then, an etching remainder 9 is formed on a sidewall 8 by anisotropically etching by RIE the film 6 formed on its whole surface, and with the film 4 and the remainder 9 as masks the substrate 1 is selectively thermally etched to form a field SiO<sub>2</sub> film 10.

720693

JAPAN 1526

① 日本国特許庁 (J P) ② 特許出願公開  
 ③ 公開特許公報 (A) 昭63-300526

④ Int. Cl.

H 01 L 21/76  
21/94

識別記号

庁内整理番号

M-7131-5F  
6708-5F

⑤ 公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全6頁)

⑥ 発明の名称 半導体装置の製造方法

⑦ 特 許 証 号-136822

⑧ 出 願 日 昭和63(1987)5月29日

⑨ 発 明 者 加 山 茂 樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑩ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
 ⑪ 代 理 人 弁理士 高 月 亨

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体基板上に第1の半導体酸化膜を形成する工程と、

該半導体酸化膜上に半導体層を形成する工程と、  
 該半導体層上に第1の耐酸化膜を形成する工程と、

該耐酸化膜上に第2の半導体酸化膜を形成する工程と、

該第2の半導体酸化膜と上記耐酸化膜を選択的にエッチング除去する工程と、

上記第2の半導体酸化膜をマスクにして上記半導体基板上に不純物を導入する工程と、

全面に第2の耐酸化膜を形成する工程と、

該第2の耐酸化膜を異方性エッチングして側壁部分にエッチング残りを形成する工程と、

上記第2の半導体酸化膜を除去する工程と、

上記耐酸化膜をマスクにして上記基板を選択的に酸化する工程を備えた半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関する。本発明は、例えばVLSIなどの素子分離領域を形成する際に好適に用いることができる。

## (発明の概要)

本発明は、半導体基板上に第1の半導体酸化膜、半導体層、第1の耐酸化膜および第2の半導体酸化膜を順次形成し、該第2の半導体酸化膜と上記耐酸化膜を選択的にエッチング除去し、上記第2の半導体酸化膜をマスクにして上記半導体基板上に不純物を導入し、全面に第2の耐酸化膜を形成し、該第2の耐酸化膜を異方性エッチングして側壁部分にエッチング残りを形成し、上記第2の半導体酸化膜を除去し、上記耐酸化膜をマスクにして上記基板を選択的に酸化する方法により、半導体装

0170

特開昭63-300526(2)

置において放電かつ良好な特性を備えた電子分離領域の形成を可能ならしめたものである。

#### (従来の技術)

従来の半導体装置の製造方法、例えば半導体装置の電子分離領域の形成方法には従来から行われている LOCOS 法などがあるが、バースピークの発生により電子分離領域の微細化が容易でない。

第2図は従来の半導体装置の製造方法を示す半導体断面図で、その図はシリコンナイトライド形成時の断面図、例はサイドウォール形成時の断面図であるが、同図例に示す如く、シリコン基板21上にSiO<sub>2</sub>膜22、Si<sub>3</sub>N<sub>4</sub>膜23(後述の場合にはさらにSiO<sub>2</sub>膜24)を順次堆積させた後、電子分離領域を形成する領域のSi<sub>3</sub>N<sub>4</sub>膜23を(後述の場合にはSiO<sub>2</sub>膜24と共に)選択的に除去して行う通常の LOCOS 法の工程の間にシリコン・ナイトライド(Si<sub>3</sub>N<sub>4</sub>)を全面にCVDして両方性エッチングする工程を入れることによって、第2図例の如く、図例25の側壁27部分にサイド・ウォール25'を形成し、バース

ピークの発生を抑制して電子分離領域の微細化を図ることが行われている。

#### (発明が解決しようとする問題点)

上記のように LOCOS 法にシリコン・ナイトライド(Si<sub>3</sub>N<sub>4</sub>)などでサイド・ウォール25'を形成して電子分離領域を形成する従来の方法によると、第2図例の如く、シリコン・ナイトライド(Si<sub>3</sub>N<sub>4</sub>)をCVDした後、Si<sub>3</sub>N<sub>4</sub>などで全面エッチングする際にSiO<sub>2</sub>膜22との間の選択比がとりにくいためシリコン基板21までエッチングされて基板が露出する可能性がある。このようにSi<sub>3</sub>N<sub>4</sub>によって基板21を直接叩くと、基板にダメージを与えて、デバイス特性が劣化するおそれがある。

また基板が露出すると、電子分離領域を形成する選択酸化時にバースピークが大きくなる可能性がある問題である。

また第2図例に示す如く、シリコン・ナイトライド(Si<sub>3</sub>N<sub>4</sub>)のサイド・ウォール25'の下天印Aで示すSiO<sub>2</sub>膜22の膜厚が減少しているため、電子

分離領域を形成する選択酸化時にシリコン基板21とサイドウォール(Si<sub>3</sub>N<sub>4</sub>) 25'によってストレスがかかり、結晶欠陥が生じることがあるという問題がある。

さらに、電子分離領域を形成する場合、一般に電子分離領域下の不純物濃度を増加させるためチャンネル・ストップ・イオンの注入が行われるが、イオン注入の加速電圧が大きいとイオンが選択酸化マスク(例えばSi<sub>3</sub>N<sub>4</sub>)を突き抜けて電子形成領域に達し、デバイス特性を劣化させるという問題がある。そこで第2図例に示す如く、Si<sub>3</sub>N<sub>4</sub>膜23上にSiO<sub>2</sub>膜24などを形成して電子形成領域上の膜厚を増加させることも考えられる。しかし従来の LOCOS 法にこれを適用しようすると、Si<sub>3</sub>N<sub>4</sub>膜23とSiO<sub>2</sub>膜24のSi<sub>3</sub>N<sub>4</sub>によるエッチングの選択比が小さく、その下のSiO<sub>2</sub>膜22と共にエッチングの選択比において同質であるためエッチングによる加工性が悪いという問題がある。

本発明は、上記問題点に鑑みて製作されたもので、本発明の目的は、上記した従来の製造方法に

よる電子分離領域の形成から生ずる問題点を解決することが可能な半導体装置の製造方法を提供することにある。

#### (問題点を解決するための手段)

上記問題点を解決するため本発明は、半導体基板上に第1の半導体酸化膜を形成する工程と、該半導体酸化膜上に半導体層を形成する工程と、該半導体層上に第1の耐酸化膜を形成する工程と、該耐酸化膜上に第2の半導体酸化膜を形成する工程と、該第2の半導体酸化膜と上記耐酸化膜を選択的にエッチング除去する工程と、上記第2の半導体酸化膜をマスクにして上記半導体基板に不純物を導入する工程と、全面に第2の耐酸化膜を形成する工程と、該第2の耐酸化膜を両方性エッチングして側壁部分にエッチング残りを形成する工程と、上記第2の半導体酸化膜を除去する工程と、上記耐酸化膜をマスクにして上記基板を選択的に酸化する工程とを備える方法をとる。

以下、本発明の半導体装置の製造方法を本発明

を例示する第1図の断面図100を参照して説明する。

本発明の半導体装置の製造方法は、分子分離領域の形成にかかる LOCOS法を改良した本題と同一の出願人が出願した PPL法 (Poly Pad Locos法、特願59-196309)をもとにさらに改良したものである。

本発明の半導体装置の製造方法は、第1図(4)に示す如く、例えばp型シリコンなどの半導体基板1上に第1の半導体酸化膜(例えばSiO<sub>2</sub>)2を形成し、該半導体酸化膜2上に半導体層(例えばポリシリコン)3を形成し、該半導体層3上に第1の耐酸化膜(例えばSi<sub>3</sub>N<sub>4</sub>)4を形成し、該耐酸化膜4上に第2の半導体酸化膜(例えばSiO<sub>2</sub>)5を形成し、その上にレジスト11を選択的に形成する。

第1図(4)に示す如く、該第2の半導体酸化膜5と上記第1の耐酸化膜4を選択的にH<sub>2</sub>などでエッチング除去し、上記第2の半導体酸化膜5をマスクにして上記半導体基板1中に不純物(例えばホウ素B)7をイオン・インプラントレーションな

してエッチング除去したり、フッ酸溶液、リン酸溶液などを使う)分子分離領域を形成する。

なお半導体基板1中に注入された不純物7は、熱酸化の際に電気的に活性化されると共に拡散方向にも拡散されるので、SiO<sub>2</sub>膜10の下方にホロンイオンを使った場合p<sup>+</sup>型のチャネル・ストッパ11が形成される。

第1の半導体酸化膜2の膜厚は、薄く形成することによってバースピークの発生を少なく抑えることができる。例えば50Å程度の膜さに好ましく形成することができる。

第2の半導体酸化膜5の材質は、選択酸化膜に第1の耐酸化膜4との関係でエッチングの選択比がとれるもので、かつイオン注入の際のマスクとなるものが望ましい。

半導体層3は、第2の半導体酸化膜5と第1の耐酸化膜4を選択的にエッチング除去する際に選択比がとれるストッパーの役割をはたすものが望ましい。例えばポリシリコンなどを好ましく用いることができる。

どを使ってイオン注入する(図中の注入不純物を両点で表す)。

次に第1図(4)に示す如く、全面に第2の耐酸化膜(例えばSi<sub>3</sub>N<sub>4</sub>)6を形成し、第1図(4)に示す如く、該第2の耐酸化膜6にH<sub>2</sub>などの両方性エッチングを行って側壁部分8にエッチング残り9を形成する。これは第2の耐酸化膜6のエッチングがエッチング方向から等速度で行われるため、膜厚が大である側壁部分にエッチング残り(サイドウォールとも称される)が生じることによる。

第1図(4)に示す如く、上記第2の半導体酸化膜6をフッ酸系の溶液などで除去する。

第1図(4)に示す如く、上記第1の耐酸化膜4およびエッチング残り9をマスクにして上記基板1を選択的に熱酸化を行うことによって半導体基板1にSiO<sub>2</sub>膜10(フィールドSiO<sub>2</sub>膜とも称される)が形成される。

そして第1図(4)に示す如く、第1の半導体酸化膜、半導体層3、第1の耐酸化膜4およびエッチング残り9を適宜手段で除去して(例えば酸化

#### (作用)

上記したように、本発明は、半導体基板1上の第1の半導体酸化膜と、第1の耐酸化膜との間に半導体層を形成するため、第2の半導体酸化膜と第1の耐酸化膜を選択的にエッチング除去する工程においてエッチングの選択比を比較的大きくとすることができ、このため、半導体基板までエッチングして、基板を叩くことがなくなりデバイスの特性が劣化することを防止することができる。

また第2の半導体酸化膜をマスクとして上記半導体基板に不純物を選択的に導入することができるため、所望の位置に確実に不純物が導入でき、所望のデバイス特性を得ることができる。

また全面に第2の耐酸化膜を形成し、該第2の耐酸化膜を両方性エッチングして側壁部分にエッチング残りを形成することにより、例えば第1図(4)に示す分子分離領域の幅Wがフォトリソグラフィの複製による限界の幅であっても、第1図(4)に示す如く、エッチング残り9(1つの幅をW'とする)を形成することによってさらに内側に形成



する電子分離領域の幅を $W \times 2$ の幅だけ狭めることができるため、半導体装置の集積化を高めることができる。

#### (実施例)

以下、本発明の半導体装置の製造方法の一実施例を第1図を参照しながら詳細に説明する。なお当然のことであるが、以下の実施例は本発明の一例を示すもので、本発明はこの例にのみ限定されない。

第1図(a)~(d)は本実施例の半導体装置の製造工程を示す断面図である。

本実施例では、第1図(a)に示す如く、半導体基板1にp型のシリコン基板を用い、基板表面を熱酸化して膜厚50Åの極めて薄い第1の半導体酸化膜(ここではSiO<sub>2</sub>膜)2を形成し、さらに第1の半導体酸化膜2上にそれぞれCVDによって膜厚500Åの半導体層(ここではホウシリコン)3および膜厚1000Åの第1の耐酸化膜(ここではSi<sub>3</sub>N<sub>4</sub>)4を形成し、該耐酸化膜4上に第2の半導体酸化膜

(ここではSiO<sub>2</sub>)5を例えば500Åを形成する。そして半導体酸化膜5上にレジスト12を選択的に形成する。

第1図(b)に示す如く、第2の半導体酸化膜5と上記第1の耐酸化膜4を選択的にRIEによりエッチング除去する。この場合第1の耐酸化膜4はオーバーエッチング気味に確実に除去する。そして、上記第2の半導体酸化膜5をマスクにして上記半導体基板1中にp型の不純物として、例えばホウ素(B)7をイオン注入法を用いて、半導体層3および第1の半導体酸化膜2を介して半導体基板1中にイオン注入する(図中の注入不純物を黒点で表す)。

次に第1図(c)に示す如く、全面に第2の耐酸化膜(ここではSi<sub>3</sub>N<sub>4</sub>)6を形成し、第1図(d)に示す如く、第2の耐酸化膜6にRISの異方性エッチングを行い、側壁部分8にエッチング残り9を形成する。

次に第1図(d)に示す如く、上記第2の半導体酸化膜5をフッ酸溶液で除去する。

#### (発明の効果)

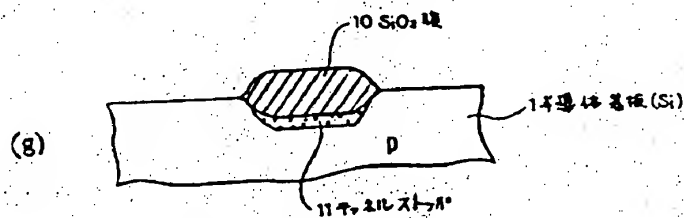
上記したように、本発明の半導体装置の製造方法を用いることによって、安定かつ所望のデバイス特性が得られ、電子分離領域の幅を熱酸化することによって、半導体装置の集積化を高めることが可能となった。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本実施例の半導体装置の製造工程を示す断面図である。第2図は従来の半導体装置の製造方法を示す半導体断面図、その(a)はシリコンナイトライド形成時の断面図、(b)はサイドウォール形成時の断面図である。

1.....半導体基板、2.....第1の半導体酸化膜、3.....半導体層、4.....第1の耐酸化膜、5.....第2の半導体酸化膜、6.....第2の耐酸化膜、7.....不純物、8.....側壁、9.....エッチング残り。

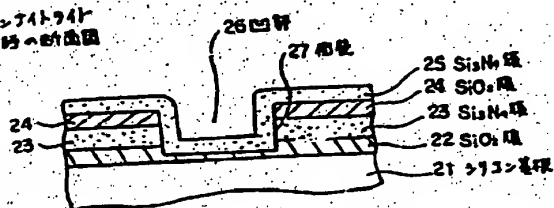
特許出願人 ソニー株式会社  
代理人 弁理士 西 月 亨



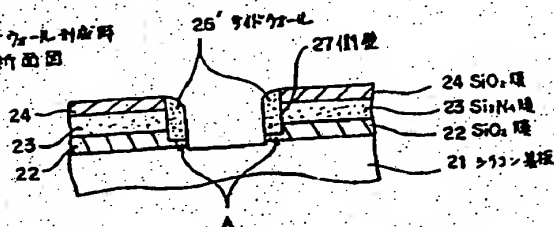
本発明の半導体装置の製造工程を示す断面図

第 1 図

(a) シリコンナイトライド  
形成時の断面図

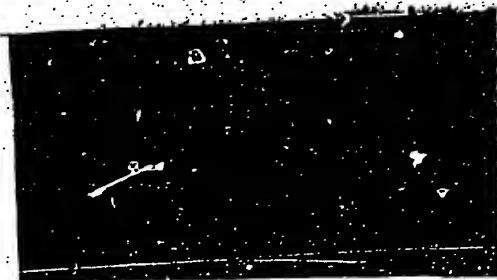
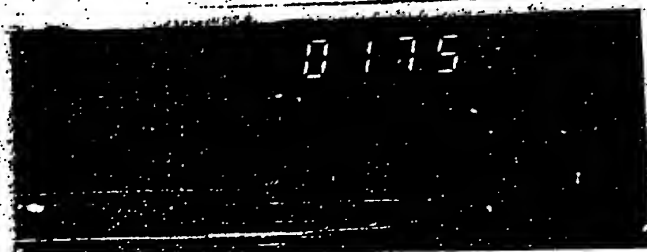


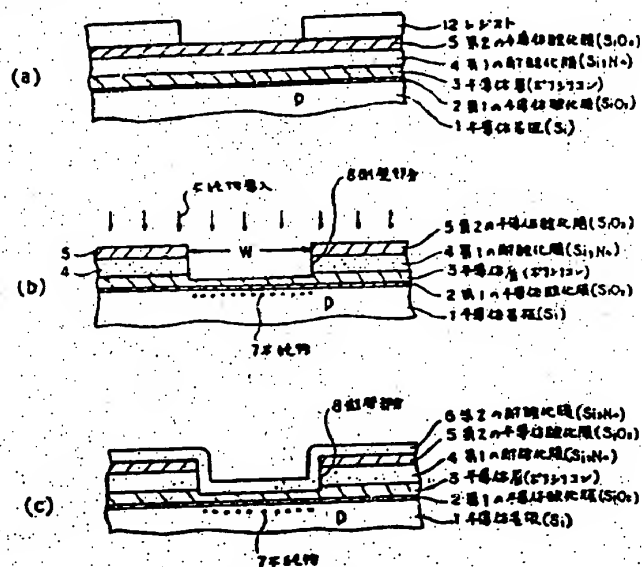
(b) ナイトライド層  
の断面図



従来の半導体装置の製造工程を示す半導体の断面図

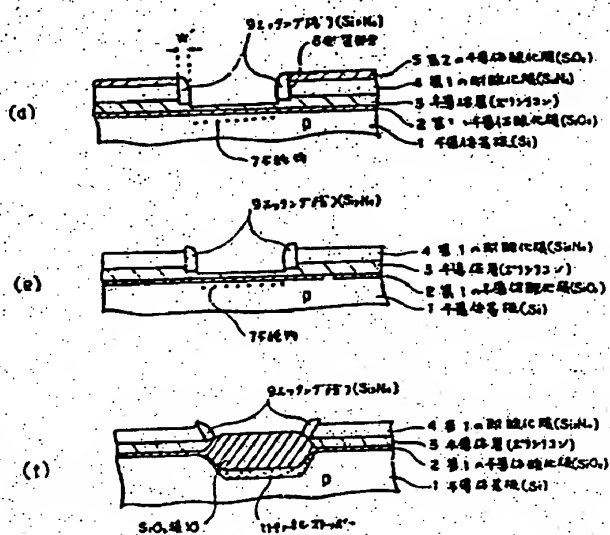
第 2 図





本発明の半導体装置の製造工程を示す断面図

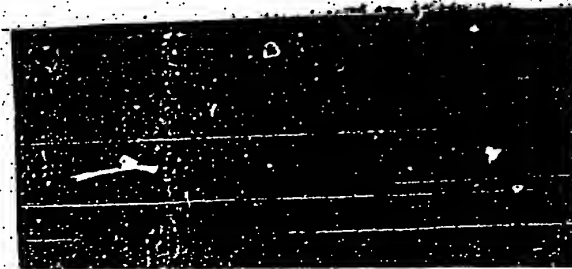
図1



本発明の半導体装置の製造工程を示す断面図

図2

-1.3-



[Translation]

1

(19) Japan Patent Office (JP)

(12) Patent Release (A)

(11) Patent Application Release

Sho.63(1988)-300526

(43) Release Date: Dec. 7, 1988

(51) Int.Cl <sup>4</sup>	Identification No.	Agency Control No.
H 01 L 21/76		M-7131-5F
21/94		6708-5F

Examination Request: Not yet requested  
Items in Application: 1 (Total 6 pages)

---

(54) Name of Invention: Method of Fabricating Semi-conductor Device

(21) Patent Application: Sho.62(1987)-136822

(22) Application Date: May 29, 1987

(72) Inventor: Shigeki Kayama  
c/o Sony Corporation  
7-35 Kita-Shinagawa 6-chome  
Shinagawa-ku, Tokyo [Japan]

(71) Applicant: Sony Corporation  
7-35 Kita-Shinagawa 6-chome  
Shinagawa-ku, Tokyo [Japan]

(74) Agent: Susumu Takatsuki, Patent Attorney

#### Specifications

1. Name of Invention: Method of Fabricating Semiconductor Device

2. Scope of Patent Application: A method of fabricating a semiconductor device prepared by --  
.. a process to form a first semiconductor oxide film on a semiconductor substrate,  
.. a process to form a semiconductor layer on the said semiconductor oxide film, and a process to form a first oxide-proof film on the said semiconductor layer,



- .. A process to form a second semiconductor oxide film on the said oxidation-proof film,
- .. A process to remove by selective etching the said second semiconductor oxide film and above oxide-proof film,
- .. A process using the above second semiconductor oxide film as a mask in injecting impurities into the above semiconductor substrate,
- .. A process to form a second oxide-proof film over the entire surface,
- .. A process to do anisotropic etching of the said second oxide-proof film to form an etching residue of the side area,
- .. A process to remove the above second semiconductor oxide film, and
- ... A process to selectively oxidize the above substrate with the above oxide-proof film as a mask.

### 3. Detailed Explanation of Invention

**Field for Commercial Utilization:** This invention bears on a method of fabricating a semiconductor device, and can be effectively used in forming element-separation regions, for instance, of VLSIs, etc.

**Outline of Invention:** This invention is one making it possible to form an element-separation region with good traits in a semiconductor device by methods that

- .. sequentially form a first semiconductor oxide film on a semiconductor substrate, a first oxide-proof film and a second semiconductor oxide film,
- .. remove the said second semiconductor oxide film and above oxide-proof film by selective etching,
- .. use the above second semiconductor oxide film as a mask in injecting an impurity into the semiconductor substrate,
- .. form a second oxide-proof film over the entire surface,
- .. do anisotropic etching of the said second oxide-proof film and form etching residue on the side walls,
- .. remove the above second semiconductor oxide film, and
- .. selectively oxidize the above substrate with the above oxide-proof film as a mask.

#### Usual Technology

As usual methods for fabricating semiconductor devices, there are those made by LOCOS, etc., which have been done, for example, to fabricate element-separation regions of semiconductor devices; but [two words unclear] of element-

separation regions is not easy due to bird's beaks being formed.

Figure 2 is a cross-sectional diagram of a semiconductor showing the usual method of fabricating a semiconductor device. Fig. 2(a) is such a diagram showing the forming of a nitride film, and (b) shows the forming of a side wall. As shown in Figure 2(a), silicon dioxide film 22 and silicon nitride film 23 (and silicon dioxide film 24, too, in cases described later) are formed sequentially on silicon substrate 21. Then, with ordinary LOCOS method processing, silicon nitride film 23 made for element separation is selectively removed (along with silicon nitride film 24 in cases described later). Next, after doing CVD on the whole surface, one proceeds with the process of anisotropic etching of the silicon nitride. As shown in Fig. 2(b), one suppresses bird's beak formation by making side wall 25' on side area 27 of depression 25 [sic. Figure shows 26 as key number for depression. Translator] to make the element-separation region oxide proof.

#### Problems the Invention Seeks to Resolve

As noted above, with the usual method for forming element-separation regions by making side walls 26' of material such as silicon nitride with the LOCOS method, it is possible, after CVD of the silicon nitride as in Figure 2b, to expose the substrate by etching the entire surface by RIE, etc., as far as silicon substrate 21 because its selective ratio with silicon dioxide film 2 is hard to secure. When substrate 21 is treated by RIE in this way, the substrate may be damaged and the device's traits may be degraded.

Also, when the substrate is exposed, there is a problem with bird's beaks greatly intruding during selective oxidation to form the element-separation region.

Again, as shown in Figure 2(b), since silicon dioxide film 22's thickness decreases (see arrow in figure) under the side wall of silicon nitride, the element-separation region formed by selective oxidation is stressed by silicon nitride side wall 26', creating the problem of crystal defects arising.

Furthermore, when forming an element-separating region, the implanting of channel-stop ions to increase impurity density generally under the element-separation region will go forward. Yet, if the acceleration voltage of ion implantation is large, ions will penetrate the selective oxidizing mask

(e.g.,  $\text{Si}_3\text{N}_4$ ) and reach the element-forming region, raising the problem of the device's traits changing. So, as shown in Figure 2(a), consideration is even given to forming silicon oxide film 24 or the like on silicon nitride film 23 to increase film thickness on the element-separation region. Yet, when one tries to apply this to the usual LOCOS method, the selective ratio of silicon nitride film 23 and silicon dioxide film 24 is small in etching by RIE, and the problem arises of poor workability from the etching due to their homogeneity.

This invention was worked out with the above problems in mind. Its aim is to provide a method for fabricating a semiconductor device capable of resolving the problems arising from forming the element-separation region by the usual fabricating methods.

**Means to Resolve Problems** This invention for resolving the above-noted problems adopts the approach of using

- . a process to form a first semiconductor oxide film on a semiconductor substrate,
- . a process to form a semiconductor layer on the said semiconductor oxide film, and a process to form a first oxide-proof film on the said semiconductor layer,
- . a process to form a second semiconductor oxide film on the said oxide-proof film,
- . a process to remove by selective etching the said second semiconductor oxide film and above oxide-proof film,
- . a process using the above second semiconductor oxide film as a mask in injecting impurities into the above semiconductor substrate,
- . a process to form a second oxide-proof film over the entire surface;
- . a process to do anisotropic etching of the said second oxide-proof film to form an etched residue on the side area,
- . a process to remove the above second semiconductor oxide film, and
- . a process to selectively oxidize the above substrate with the above oxide-proof film as a mask.

Below, we will explain this invention's method of fabricating a semiconductor device, referring to Figures 1(a)~(g) that illustrate this invention.

This invention's method of fabricating a semiconductor device is one that further improves on the PPL method (Poly Pad Locos method, Patent Release Sho.59-196308) that this same applicant has applied for, improving on the LOCOS method for forming an element-separation region.

This invention's method of fabricating the semiconductor device--shown in Figure 1(a)--forms a semiconductive oxide film 2 (e.g., silicon dioxide) on a semiconductor substrate 1 such as p-type silicon, forms semiconductive film 3 (e.g., polysilicon) on said semiconductive oxide film 2, forms oxide-proof film 4 (e.g., silicon nitride) on said semiconductive film 3, forms second semiconductive oxide film 5 (e.g., silicon dioxide) on said oxide-proof film 4 and selectively forms resist 12 on top of that.

As shown in Figure 1(b), said second semiconductive oxide film 5 and above first oxide-proof film 4 are selectively etched away, such as by RIE; and, with the above second semiconductive oxide film 5 as a mask, an impurity 7 (e.g., boron B) is implanted in the above semiconductor substrate 1 by ion implantation, etc. (The impurity in the figure is shown by dots.

Next, as shown in Figure 1(c) second oxide-proof film 6 (e.g., silicon nitride) is formed on [word unclear] and, as shown in Figure 1(d), said second oxide-proof film 6 is etched anisotropically, such as by RIE, to form etching residue 9 on sidewall area 8. As the etching of second oxide-proof film 6 is done at an equal rate from an etching direction, this produces a thick side area of etching residue (also called a side wall).

As shown in Figure 1(e), first oxide-proof film 6 is removed by a fluoric acid solution.

As shown in Figure 1(f), above first oxide-proof film 4 and etching residue 9 are used as a mask in selectively thermo-oxidizing above substrate 1 to form silicon dioxide film 10 (also called field  $\text{SiO}_2$  film) on semiconductor substrate 1.

Then, as shown in Figure 1(g), first semiconductive oxide film, semiconductive layer 3, first oxide-proof film 4 and etching residue 9 are removed by any convenient means (e.g., oxidizing and etching away, using fluoric acid or phosphoric acid solutions) to form the element-separation region.

Also, since impurity 7 implanted in semiconductor substrate 1 is electrically activated during oxidation and diffused more deeply, p<sup>+</sup>-type channel stopper 11 using boron ions is formed under silicon dioxide film 10.

The thickness of first semiconductive oxide film 2 can at least restrain the generation of a bird's beak by being

formed deeply. For instance, it is best for it to be formed to some 50Å depth.

The quality of second semiconductive oxide film 5 should be such that, before selective oxidation, its etching selective ratio will hold in relation to first oxide-proof film 4 so that it can serve as a mask for ion-implantation.

Semiconductive layer 3 should be something that will serve as a stopper such that its selective ratio will hold during selective etching removal of second semiconductive oxide film 5 and first oxide-proof film 4. For instance, it is desirable to use polysilicon or the like.

### Effects

As above, because this invention forms a semiconductive layer between the first semiconductive oxide film on the semiconductor substrate and the second semiconductive oxide film, the selective ratio for etching can be relatively high in the process that selectively etches away the second semiconductive oxide film and first oxide-proof film. Due to that, etching as far as the semiconductor substrate does not damage the substrate. So, one can prevent degradation of the device's traits.

Again, because one can use the second semiconductive oxide film as a mask and selectively implant an impurity in the above semiconductor substrate, one can reliably implant the impurity to a prescribed value and get the device traits that are called for.

Also, by forming the second oxide-proof film on the whole surface and doing anisotropic etching of this film to form etching residue on the sidewall area, one forms etching residue 9 (one width --  $W'$ ) as shown in Figure 1(d), even though the width  $W$  of the element-separation region shown in Figure 1(b) is the limit of photolithography's wave length. Thereby, one can hold the width of the element-separation region formed on the inner side to just  $W' \times 2$ , so that the semiconductor's integration can be increased.

### Application Example

Below, we will explain an example of applying this invention's method of fabricating a semiconductor device, while referring to Figure 1. Of course, this illustrates just one example of this invention; and the invention is not limited to this one example.

7

Figures 1(a)~(g) are cross-sectional diagrams showing the fabrication process for the semiconductor device of this application example.

As shown in Figure 1(a), in this application example, using a p-type silicon substrate for semiconductor substrate 1, one thermo-oxidizes the substrate surface to form extremely thin 50Å first semiconductive oxide film 2 (here SiO<sub>2</sub> film). one then uses CVD to form, respectively, 500Å semiconductive layer 3 (here silicon nitride) on first semiconductive oxide film 2 and 1000Å first oxide-proof film 4 (here silicon nitride); and one forms on said oxide-proof film 4 the second semiconductive oxide film 5 (here silicon dioxide), making it 500Å thick, for instance. Then we selectively form resist 12 on semiconductive oxide film 5.

As shown in Figure 1(b), we use etching by RIE to selectively remove said second semiconductive oxide film 5 and the above first oxide-proof film 4. In this case, first oxide-proof film 4 is even somewhat over-etched to remove it cleanly. Then, making above second semiconductive film 5 a mask, we inject a p-type impurity, such as boron (B) 7 by ion-implanting in above semiconductor substrate 1 through semiconductive film 3 and first semiconductive oxide film 2. (In the figure the impurity is shown as dots.)

Next, as in Figure 1(c), we form second oxide-proof film 6 (here silicon nitride). We do anisotropic etching of said second oxide-proof film 6 by RIE to form etching residue 9 on side area 8.

Then, as in Figure 1(e), we use a fluoric acid solution to remove the above second semiconductive film 6.

As shown in Figure 1(f), by selectively thermo-oxidizing above substrate 1 with first oxide-proof film 4 and etching residue 9 as a mask one forms silicon dioxide film 10 on semiconductor substrate 1.

Next, as shown in Figure 1(g), one wet-etches the first semiconductive oxide film with a fluoric-acid solution, wet-etches first oxide-proof film 4 and etching residue 9 in a phosphoric acid solution, so that semiconductive layer 3 is oxidized and removed to form the element-separation region.

The element-separation region yielded by the method of this application example is given a layered structure with a superior etching selective ratio so that there is no etching

damage to the substrate and stable device traits are obtained. Also, because the impurity is implanted reliably in prescribed locations on the semiconductor substrate, one can get the desired device traits and also increase the semiconductor device's integration by narrowing the width of the element-separation layer.

#### Effects of Invention

As noted above, by using this invention's method of fabricating a semiconductor device, one gets device traits that are stable and as desired. Also, making the element-separation region quite small makes it possible to increase the integration of the semiconductor device.

#### Simple Explanation of Figures

Figure 1 is a cross-sectional diagram showing the fabrication processes of this application example's semiconductor device.

Figure 2 is a cross-sectional diagram showing the method of fabricating the usual semiconductor device. Its (a) figure is a cross section when forming the silicon nitride, and its (b) figure is a cross section when its side wall is formed.

- 1 ... Semiconductor substrate
- 2 ... First semiconductive oxide film
- 3 ... Semiconductor layer
- 4 ... First oxide-proof film
- 5 ... Second semiconductive oxide film
- 6 ... Second oxide-proof film
- 7 ... Impurity
- 8 ... Side wall
- 9 ... Etching residue

Patent applicant: Sony Corporation  
Agent: Susumu Takatsuki, Patent attorney

[Key numbers for Fig. 2, not listed by author]

- 21 ... Silicon substrate
- 22 ... Silicon dioxide film
- 23 ... Silicon nitride film
- 24 ... Silicon dioxide film
- 25 ... Side wall
- 26 ... Depression
- 27 ... Side area